مجله کنترل
ISSN (print) 2008-8345
ISSN (online) 2538-3752
جلد ۱۳، شماره ۱، بهار ۱۳۹۸، صفحه ۷۳-۵۷

ارائه یک کنترل کننده ترکیبی بهینه شده مبتنی بر NSGA-II برای مبدل سوئیچینگ بوست

بهزاد بهنام[۱]، پیمان حاجی حسینی[۲]، سید محمد موسوی انزهایی[۳]
[۱] مربی، گروه مهندسی برق، دانشگاه آزاد اسلامی واحد کرج، b_behnam@kiau.ac.ir
[۲] استادیار، گروه مهندسی برق، دانشگاه آزاد اسلامی واحد کرج، p_hajihosseini@kiau.ac.ir
[۳] استادیار، گروه مهندسی برق، دانشگاه آزاد اسلامی واحد تهران جنوب، m_mousavi@azad.ac.ir

دریافت: ۱۳۹۶/۱۰/۱۷ ویرایش: ۱۳۹۷/۰۳/۲۳ پذیرش: ۱۳۹۷/۰۴/۳۱

چکیده: هدف از این تحقیق طراحی یک کنترل کننده دیجیتال جدید برای مبدل سوئیچینگ بوست در حالت هدایت پیوسته[۱] و حالت کنترل ولتاژ[۲] می باشد. در حالت های کارکرد ذکر شده تابع انتقال مبدل بوست دارای یک صفر سمت راست[۳] و یک جفت قطب مختلط است که مکان آنها شدیدا وابسته به مقادیر بار، ولتاژ ورودی، ولتاژ مرجع و عناصر استفاده شده در مبدل می باشد. ساختار کنترل کننده پیشنهادی متشکل از یک کنترل کننده استاندارد typeIII و یک کنترل کننده PID دارای صفرهای مختلط[۴] می باشد. پارامترهای این کنترل کننده با استفاده از یک روش بهینه سازی فراابتکاری چند هدفه جهت بهبود رفتار مبدل در زمان راه اندازی، تغییر بار و ولتاژ مرجع و همچنین دسترسی به مقادیر حد فاز و حد بهره مناسب بدست آمده اند. نتایج شبیه سازی و پیاده سازی عملی، نشان می دهند که عملکرد کنترل کننده پیشنهادی نسبت به نوع استاندارد typeIII بهبود چشمگیری پیدا کرده است. مزایای این کنترل کننده، پاسخ مناسب در تمامی محدوده کارکرد مبدل، عدم نیاز به فیدبک جریان، پایداری مناسب، تحقق ساده و قیمت ارزان می باشد.

کلمات کلیدی: مبدل سوئیچینگ بوست، بهینه سازی فراابتکاری، کنترل کننده typeIII ،کنترل کننده PID دارای صفرهای مختلط

Presenting an Optimized Combinational Controller based on NSGA-II for Boost Switching Converter

Behzad Behnam, Payman Hajihosseini, Mohammad Mousavi Anzehaee

Abstract: The main goal of this research is to design a new digital controller for a boost-switching converter in Continuous Conduction Mode (CCM), which operates in Voltage Mode Control (VMC). Boost converter transfer function in the mentioned modes have one Right Half Plane (RHP) zero and a pair of complex poles while their places are severely dependent on input voltage, reference voltage and converter elements. Parameters of the proposed controller have been obtained by using a meta-heuristic multi-objective optimization method to gain an improved converter behavior in startup, load change and reference voltage change conditions along with appropriate gain and phase margins. The proposed controller is a combination of a standard typeIII controller and a PID controller with complex zeros. Simulation and experimental results illustrate that converter performance based on the proposed controller has a significant improvement rather than typeIII controller. Main benefits of the proposed controller includes achieving a suitable response in whole range of converter operation, not to need a current feedback, appropriate stability and simple and cost-effective implementation.

Keywords: Boost Switching Converter, Meta-Heuristic Optimization, typeIII Controller, PID Controller with Complex Zeros.

[1] Continuous Conduction Mode (CCM)
[2] Voltage Mode Control (VMC)
[3] Right Half Plane (RHP)
[4] PID With Complex Zeros (PIDWCZ)

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

۱- مقدمه:

راندمان زیاد، ابعاد کوچک، قیمت مناسب و قابلیت اطمینان بالا در مبدل های قدرت سوئیچینگ موجب شده که آنها بطور گسترده ای در صنایع الکتریکی و الکترونیکی استفاده شوند. مبدل بوست یک مبدل سوئیچینگ DC–DC افزاینده و پرکاربرد می‌باشد که در ماشین های برقی، منابع تجدید پذیر، منابع تغذیه بدون وقفه[1]، تجهیزات تصحیح ضریب قدرت[2] و غیره استفاده می شود.

بطور کلی مبدل های قدرت، سیستم های غیر خطی متغیر با زمان می باشند و بواسطه نامعین بودن پارامترهای مبدل، امکان مدل سازی دینامیکی دقیق آنها در تمامی شرایط کارکرد مبدل بسیار سخت است، لذا کنترل مبدل های قدرت همیشه یک چالش بزرگ برای طراحان میباشد. یک روش مرسوم برای طراحی کنترل کننده مبدل بوست، استفاده از مدل سیگنال کوچک خطی شده آن حول یک نقطه کار و استفاده از نظریه کنترل کلاسیک می باشد[۱].

هنگامی که مبدل بوست در وضعیت حالت هدایت پیوسته و حالت کنترل ولتاژ کار می‌کند، یک عدد صفر سمت راست و یک جفت قطب مختلط در تابع انتقال چرخه کارکرد[3] تا ولتاژ خروجی بدست آمده از آنالیز سیگنال کوچک آن مشاهده می شود. وجود این قطب های مختلط در کنار صفر سمت راست و وابستگی محل آنها به نقطه کار ، پایدارسازی و کنترل این مبدل را برای رسیدن به یک پاسخ دینامیکی سریع و قابل قبول در تمامی شرایط کارکرد مبدل ، مشکل و پیچیده کرده است. کنترل کننده typeIII یکی از پرکاربردترین کنترل کننده ها برای مبدل بوست می باشد که می توان پارامترهای آن را با استفاده از مدل سیگنال کوچک خطی شده مبدل طراحی کرد و تحقق آن به صورت آنالوگ و دیجیتال به سادگی امکان پذیر است [۲]. مهمترین عیب این روش این است که پارامترهای کنترل کننده تنها حول یک نقطه کار انتخاب شده برای مبدل، طراحی می شوند و فقط بعضی از مشخصات پاسخ خروجی (مثلا در زمان راه اندازی، تغییر بار و تغییر ولتاژ مرجع)به مقدار مطلوب می‌رسند، لذا عملکرد کنترل کننده منتج به یک عملکرد بهینه در تمامی شرایط کارکرد مبدل نمی گردد[۱]. لذا انتخاب نوع و تنظیم بهینه پارامترهای کنترل کننده، برای رسیدن به یک پاسخ مناسب در محدوده کارکرد خواسته شده مبدل، نیازمند بررسی بسیار دقیق تر و تجزیه و تحلیل بیشتر می باشد.

Shuibao Guo و همکاران [۳] با استفاده از کنترل کننده مد لغزشی[4] و تحقق دیجیتال آن، به وسیله "آرایه گیت های قابل برنامه ریزی میدانی[5]" (FPGA)توانستند، یک مبدل سوئیچینگ کاهنده را کنترل کنند. مزایای این روش کنترلی عدم حساسیت به تغییر پارامترهای مبدل و تضمین پایداری می باشد. اما از معایب آن می توان به نیاز به پهنای باند نسبتا بالا برای کنترل کننده و پدیده وزوز[6] اشاره کرد. Sadek و همکاران نشان دادند که راه حل مناسب برای کاهش فراجهش[7] ولتاژ در مبدل بوست به هنگام تغییر آنی بار، تحقق فرکانس بالای کنترل کننده PID دیجیتال با استفاده از FPGA است [۴]. اما در مقاله فوق رفتار سیستم در موقع راه اندازی، تغییر ولتاژ مرجع و پایداری نسبی سیستم مورد ارزیابی قرار نگرفته است. Banerjee با استفاده از روش بهینه سازی ازدحام ذرات[8] یک کنترل کننده آنالوگ typeIII را برای مبدل بوست طراحی کرد [۵] .او نشان داد که پاسخ کنترل کننده بهینه شده نسبت به کنترل کننده طراحی شده با روش k-factor بهبود چشمگیری پیدا کرده است، اما در این مطالعه فقط از یک تابع هدف در الگوریتم بهینه سازی استفاده شد. Sadek همچنین با استفاده از یک کنترل کننده مقاوم بهینه شده توسط الگوریتم ژنتیک و تحقق آن بوسیله FPGA نشان داد که عملکرد مبدل بوست، بهبود قابل توجهی نسبت به روش های دیگر پیدا کرده است [۶] .

با کنترل کننده های آنالوگ نمی توان تمامی الگوریتم های پیچیده کنترلی خواسته شده را اجرا کرد، در ضمن بواسطه تلرانس قطعات و تغییر دما، المان های کنترل کننده آنالوگ تغییر پیدا کرده و در نتیجه ساختار دینامیکی کنترل کننده و پاسخ مبدل تغییر می کند. با توجه به پیشرفت در ساخت میکروکنترلرها ، پردازنده های سیگنال دیجیتال[9] و FPGA ها و همچنین افزایش قدرت و کاهش قیمت آنها در سال های اخیر، استفاده از کنترل کننده های دیجیتال برای پیاده سازی الگوریتم های پیچیده در مبدل های سوئیچینگ قدرت یکی از راهکارهای مورد علاقه پژوهشگران گردیده است؛ به طوری که استفاده از آنها امکان رسیدن به پایداری مطلق و عملکرد بهتر پاسخ مبدل را در حالت های گذرا و ماندگار سیستم به واسطه تغییر بار، ولتاژ ورودی، ولتاژ مرجع و عناصر مدار فراهم می کند[۲،۳،۴،۶،۷،۸،۹].

انتخاب ساختار کنترل کننده و استفاده از الگوریتم های جستجوی فراابتکاری برای پیدا کردن پاسخ بهینه، دو مساله بسیار مهم برای رسیدن به یک پاسخ مناسب در مبدل های قدرت می باشد. در بیشتر موارد از کنترل کننده PID به خاطر ساختار ساده آن استفاده می شود. مقدار بهینه پارامترهای کنترل کننده PID می تواند از روش های کلاسیک[۲،۱۱] ، الگوریتم های هوشمند تکاملی مثل الگوریتم ژنتیک [۶] ، بهینه سازی

[1] Uninterruptable Power Supply (UPS)
[2] Power Factor Correction (PFC)
[3] Duty Cycle
[4] Sliding Mode Controller (SMC)
[5] Field Programmable Gate Array (FPGA)
[6] Chattering
[7] Overshoot
[8] Particle Swarm Optimization (PSO)
[9] Digital Signal Processor (DSP)

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

ازدحام ذرات [۵،۱۲]، منطق فازی، شبکه های عصبی[۱۳] و غیره بدست آید.

در ایـن تحقیق از یک کنترل کننده پیشنهادی جدید به نام typeIII+PIDWCZ ، متشکل از یک کنترل کننده typeIII استاندارد و یک کنترل کننده PIDWCZ استفاده شده است. کنترل کننده PIDWCZ یک کنترل کننده PID با صفرهای مختلط می باشد[۹،۱۰]. استفاده از کنترل کننده typeIII در مبدل بوست، پاسخ مناسبی را به تغییرات بار ایجاد می‌کند و استفاده از کنترل کننده PIDWCZ پاسخی مناسب به تغییرات ولتاژ مرجع و در زمان راه اندازی نشان می دهد.

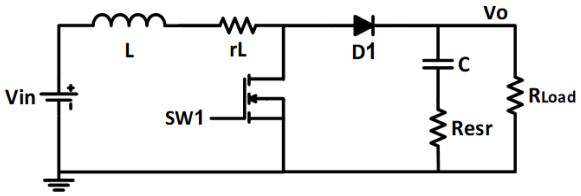
در ابتدا طراحی پارامترهای کنترل کننده های typeIII و PIDWCZ بصورت کلاسیک انجام شده و سپس برای پیدا کردن پارامترهای بهینه کنترل کننده پیشنهادی از یک روش جستجوی فراابتکاری استفاده شده است. الگوریتم تکاملی[1] NSGA-II که اولین بار توسط Deb و همکارانش ارائه شد[۱۴]، به عنوان یکی از انواع الگوریتم های ژنتیک و بهینه سازی چند هدفه شناخته می شود. این روش تکنیکی بسیار قدرتمند و سریع برای حل مسائل جستجو و بهینه سازی در دنیای واقعی است. لذا در این تحقیق جهت انتخاب پارامترهای کنترل کننده پیشنهادی از الگوریتم ژنتیک NSGA-II چند هدفه برای به حداقل رساندن ۳ تابع هدف و همچنین برای برآورده کردن قیود حد فاز و حد بهره استفاده شده است. این توابع هدف در زمان راه اندازی $f_{startup}(X)$، در شرایط تغییر بار $f_{Load}(X)$ و نیز تغییر ولتاژ مرجع $f_{ref}(X)$ تعریف شده اند. با استفاده از الگوریتم ژنتیک و نرم افزارمتلب سیمولینک[2] مقادیر بهینه ضرایب کنترل کننده پیشنهادی برای مبدل بوست محاسبه شده است. سپس یکی از بهترین پاسخ های برتر موجود در جبهه پارتو[3] به عنوان پاسخ بهینه انتخاب شده و با پاسخ های کلاسیک مقایسه و مورد ارزیابی قرار گرفته است. نتایج حاصله از شبیه سازی و اجرای عملی در این پژوهش نشان می دهند که با انتخاب پارامترهای بهینه کنترل کننده پیشنهادی و بدون نیاز به فیدبک جریان ، کنترل کننده پیشنهادی خصوصیات مثبت هر یک از کنترل کننده ها را به ارث برده و عملکرد سیستم در محدوده وسیعی از تغییرات بار ، ولتاژ مرجع ، ولتاژ ورودی، زمان راه اندازی و پایداری نسبی ،نسبت به کنترل کننده typeIII استاندارد، بهبود پیدا کرده است. تحقق عملی کنترل کننده دیجیتال پیشنهادی با استفاده از یک برد STM32f4 Discovery انجام شده است.

در بخش ۲ مدل خطی شده مبدل بوست حول نقطه کار به دست آمده و تغییرات صفر سمت راست و قطب های مختلط مبدل در محدوده شرایط کارکرد خواسته شده نشان داده شده است. در ادامه طراحی کنترل کننده های typeIII و PIDWCZ به صورت کلاسیک انجام گرفته است.

در بخش ۳ با استفاده از الگوریتم تکاملی بهینه سازی چند هدفه، ضرایب بهینه کنترل کننده پیشنهادی برای مبدل بوست بدست آمده است . نتایج حاصل از شبیه سازی و اجرای عملی در بخش ۴ و نتیجه گیری نهایی در بخش ۵ مشاهده می شوند.

۲- مدل کردن مبدل بوست در حالت هدایت پیوسته و طراحی کنترل کننده

شکل(۱) مدار الکتریکی مبدل بوست با عناصر پارازیتیک در سلف (rL) و خازن $(Resr)$ را نشان می دهد.



شکل(۱)- مدار الکتریکی مبدل بوست

جدول (۱)- پارامترهای مبدل بوست و محدوده تغییرات آنها

نام پارامتر	مقدار
فرکانس سوئیچینگ F_S	$200KHz$
محدوده تغییرات ولتاژ ورودی V_{in}	8-14V
ولتاژ نامی ورودی $V_{in}(nom)$	12V
سلف L	$100\mu H$
مقاومت پارازیتیک سلف rL	0.05Ω
خازن C	$200\mu F$
مقاومت معادل سری خازن $Resr$	0.01Ω
محدوده تغییرات مقاومت بار R_{Load}	10-50Ω
محدوده تغییرات جریان بار $iLoad$	0.48-2.4A
ولتاژ نامی خروجی $V_o(nom)$	24V
سیگنال کنترلی $D = \frac{PW}{Ts}$	0.42-0.66

مقادیر المان های مبدل مورد استفاده در جدول(۱) ارائه شده است که در آن $Fs = 1/_{Ts}$ فرکانس سوئیچینگ و $0 < D < 1$ سیگنال کنترلی $PW = D.T_S$[4] می باشند.

[1] Non-dominated Sorting Genetic Algorithm II (NSGA-II)
[2] Simulink MATLAB
[3] Pareto Front
[4] Pulse Width (PW)

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

توابع انتقال سیگنال کوچک مبدل بوست در حول نقطه کار و حالت هدایت پیوسته به صورت زیر بدست می آیند[۲،۵،۱۱]:

$$G_{v_o d}(s) = \frac{\tilde{v}_o}{\tilde{d}}(s) = G_{d0}\frac{\left(1+\frac{s}{\omega_{Z1}}\right).\left(1-\frac{s}{\omega_{RHPZ}}\right)}{1+\frac{s}{\omega_0.Q}+\frac{s^2}{\omega_0^2}} \quad (۱)$$

$$G_{v_o v_{in}}(s) = \frac{\tilde{v}_o}{\tilde{v}_{in}}(s) = \frac{1}{D'}.\frac{\left(1+\frac{s}{\omega_{Z1}}\right)}{1+\frac{s}{\omega_0.Q}+\frac{s^2}{\omega_0^2}} \quad (۲)$$

$$Z_o(s) = \frac{\tilde{v}_o}{\tilde{i}_o}(s) = -\frac{1}{(D')^2}\left[\frac{Ls}{1+\frac{L}{(D')^2.R_{Load}}s+\frac{LC}{(D')^2}s^2}\right] \quad (۳)$$

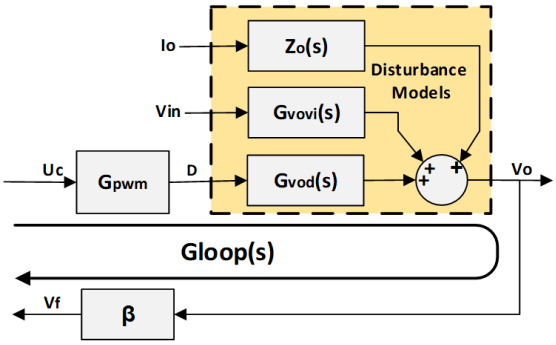
$$G_{d_o} = \frac{V_{in}}{(D')^2} = \frac{{V_o}^2}{V_{in}} \;,\; D' = 1-D \;,\; \omega_{z_1} = \frac{1}{C.Resr} \;,$$
$$\omega_{RHPZ} = \frac{(R_{Load}-r_L).(D')^2}{L} \;,\; \omega_0 = \frac{1}{\sqrt{L.C}}.\sqrt{\frac{r_L+R_{Load}.(D')^2}{R_{Load}}}$$
$$Q = \frac{\omega_0}{\frac{r_L}{L}+\frac{1}{C.(R_{Load}+Resr)}} \quad (۴)$$

طبق رابطه(۱) تابع انتقال بین ولتاژ خروجی V_o و سیگنال کنترلی D، دارای دو قطب مختلط و یک صفر سمت راست می باشد. اگر شرط رابطه (۵) برقرار باشد مبدل در حالت هدایت پیوسته و در غیر اینصورت در حالت هدایت ناپیوسته[1] کار می کند.

$$L > L_{critical} = \frac{\left(1-\frac{V_{in}}{V_o}\right){V_{in}}^2 R_{Load}}{2F_s{V_o}^2} \quad (۵)$$

در بدترین شرایط کاری مبدل بوست، یعنی وقتی که V_{in} و R_{Load} حداقل باشند، صفر سمت راست (ω_{RHPZ}) کوچکترین مقدار خود و بیشترین اثر را بر پاسخ سیستم دارد. مطابق شکل (۲)، با توجه به بلوک دیاگرام حلقه باز مبدل و در بلوک G_{PWM}، ولتاژ U_C به سیگنال کنترلی D تبدیل می شود، این کار توسط آی سی مدولاتور عرض پالس[2] انجام می گردد. لذا تابع انتقال حلقه باز مبدل بوست با توجه به پارامترهای موجود در این مدولاتور شامل مقادیر ولتاژ مرجع (V_{ref})، حداقل ولتاژموج دندانه اره‌ای (V_1) و حداکثر آن(V_2) و طبق رابطه (۶)حاصل می شود.

$$V_o = \frac{V_{ref}}{\beta} \;,\; G_{PWM} = \frac{1}{V_2-V_1} \;,\; G_{Loop}(s)\frac{\tilde{v}_f}{\tilde{u}_c}(s) = G_{PWM}\times\beta G_{v_o d}(s) \quad (۶)$$



شکل(۲)- سیستم حلقه باز مبدل بوست به همراه شبکه فیدبک و G_{PWM}

همانطور که از تابع انتقال $G_{Loop}(s)$ مشخص است، به ازای تغییر در مقاومت بار R_{Load} و ولتاژ ورودی V_{in}، مکان قطب های مختلط $P_{1,2}$، صفر سمت راست ω_{RHPZ} و گین تابع انتقال G_{d_o}، (مطابق روابط (۷)) جابجا می شوند.

$$V_{in}(min) \le V_{in} \le V_{in}(max) \;,$$
$$R_{Load}(min) \le R_{Load} \le R_{Load}(max)$$

$$P_{1,2} = -\frac{1}{2}\left[\frac{r_L}{L}+\frac{1}{C.(R_{Load}+Resr)} \pm j\sqrt{-\left(\frac{r_L}{L}+\frac{1}{C.(R_{Load}+Resr)}\right)^2+4\frac{1}{LC}.\frac{r_L+R_{Load}\frac{{V_{in}}^2}{{V_o}^2}}{R_{Load}}}\right]$$

$$\omega_{RHPZ} = \frac{(R_{Load}-r_L)\frac{{V_{in}}^2}{{V_o}^2}}{L} \;,\; G_{d_o} = \frac{{V_o}^2}{V_{in}} \quad (۷)$$

در شکل (۳) نمایشی از تغییرات قطب های مختلط و صفر سمت راست در مبدل بوست، به ازای تغییر در مقاومت بار و ولتاژ ورودی آن نشان داده شده است. با مشخص شدن ناحیه های مرزی تغییرات قطب های مختلط (مثل $P_1 = -X1 + jY1$)، می توان از آنها جهت پیدا کردن فضای جستجو در عملیات بهینه سازی پارامترهای کنترل کننده استفاده نمود.

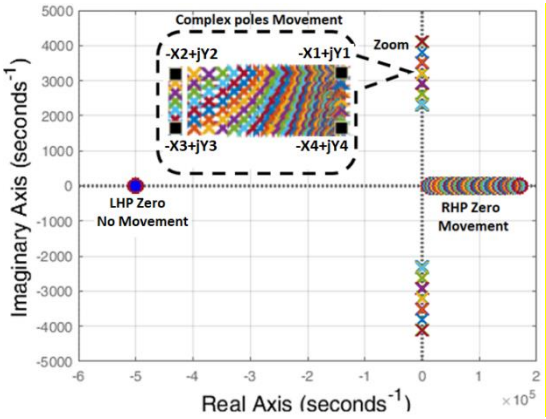
۲-۱ طراحی کلاسیک کنترل کننده typeIII

مطابق رابطه (۸)، کنترل کننده typeIII، یکی از پرکاربردترین کنترل کننده های مورد استفاده برای کنترل مبدل بوست می باشد و به راحتی به صورت آنالوگ و دیجیتال قابل تحقق است[۲،۵،۱۱]. این کنترل کننده به عنوان مرجع مقایسه در بسیاری ازمقالات مورد استفاده قرار گرفته و در این تحقیق نیز عملکرد کنترل کننده پیشنهادی با آن مقایسه شده است.

[1] Discontinues Conduction Mode (DCM)

[2] PWM Generator

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]



شکل(۳)- محدوده تغییرات قطب های مختلط و صفرسمت راست حلقه باز مبدل بوست به ازای تغییرات ذکر شده در رابطه (۷)

$$G_{\text{typeIII}}(s) = \frac{\tilde{u}_c}{\tilde{e}}(s) = \frac{k_{\text{typeIII}}}{s}\frac{\left(1+\frac{s}{\omega_{zc1}}\right)\left(1+\frac{s}{\omega_{zc2}}\right)}{\left(1+\frac{s}{\omega_{pc1}}\right)\left(1+\frac{s}{\omega_{pc2}}\right)} \quad (۸)$$

با در نظر گرفتن $\omega_{zc1} = \omega_{zc2}$ و $\omega_{pc1} = \omega_{pc2}$ داریم:

$$G_{\text{typeIII}}(s) = \frac{k_{\text{typeIII}}}{s}\frac{(1+\frac{s}{\omega_{zc}})^2}{(1+\frac{s}{\omega_{pc}})^2} \quad (۹)$$

طراحی کنترل کننده typeIII بر اساس مدل سیگنال کوچک مبدل بوست ارائه شده در رابطه (۶) انجام شده است. این کنترل کننده در حوزه فرکانس و با استفاده از دیاگرام بود[1]، برای داشتن حداقل حاشیه فاز ۴۵ درجه ($PM \geq 45^o$) و حاشیه بهره حدود۱۰دسی بل ($GM \geq 10dB$) و بر مبنای روش k-factor طراحی شده است[۱۱].

نحوه انتخاب پارامترهای کنترل کننده typeIII در روابط(۱۰) آورده شده اند. مقدار ρ بگونه ای محاسبه می شود که شرایط گفته شده برای حد فاز و حد بهره حاصل شود.

$$\omega_{0db} = \omega_{RHPZ}\,,\ \omega_{pc} = 10.\omega_{0db}\ ,\ \omega_{zc} = \frac{\omega_{0db}}{10}\ ,\ k_{\text{typeIII}}\ \frac{(\omega_{0db})^3}{100.G_{do}.\omega_0{}^2}\rho \quad (۱۰)$$

۲-۲ طراحی کلاسیک کنترل کننده PID با صفرهای مختلط

در این قسمت از کنترل کننده PID با صفرهای مختلط و تابع انتقالی به صورت رابطه (۱۱) استفاده می کنیم:

$$G_{PIDWCZ}(s) = Kc\frac{(s+\sigma_c)^2+\omega_{dc}^2}{s(s+\omega_{pc})} \quad (۱۱)$$

در شکل(۳) مکان قطب های مختلط مبدل بوست به ازای تغییرات گفته شده در رابطه (۷) ، نمایش داده شده است. هدف از گذاشتن صفرهای مختلط در کنترل کننده PIDWCZ ،کم کردن تاثیر قطب های مختلط موجود در تابع انتقال مبدل بوست می باشد. برای این منظور صفرهای مختلط در کنترل کننده باید در نزدیک قطب های مختلط موجود در این تابع انتقال قرار گیرند.

از خصوصیات خوب کنترل کننده PIDWCZ می توان به پایداری نسبی مناسب، تحقق دیجیتال راحت ، پاسخ مناسب به تغییرات ولتاژ مرجع و سرعت خوب در راه اندازی و از مشکلات آن می توان به فراجهش زیاد در موقع تغییر بار و حساسیت زیاد پاسخ سیستم به نقطه کار اشاره نمود. مقدار گین کنترل کننده Kc و فرکانس قطب آن ω_{pc} ، نیز به گونه ای انتخاب میشود که برای تمام مقادیر بار و ولتاژ ورودی مبدل، پهنای باند بزرگ و $GM \geq 10dB$ و $PM \geq 45^o$ حاصل شود[۶،۹،۱۰]. با توجه به تابع انتقال مبدل بوست در بدترین شرایط کاری آن (V_{in} و R_{Load} حداقل) و شکل (۳) یکی از قطب های مختلط مبدل بصورت زیر انتخاب می شود:

$$P_3 = -\sigma + j\omega_d = -X3 + jY3\begin{cases}\sigma = X3\\ \omega_d = Y3\end{cases} \quad (۱۲)$$

لذا مکان صفرهای کنترل کننده PIDWCZ در اطراف قطب مختلط مبدل و مکان قطب آن نیز هم اندازه با ω_{RHPZ} بصورت نشان داده شده در رابطه (۱۳) انتخاب شده است.

$$\sigma_c = 1.2\sigma\ ,\ \omega_{dc} = 0.8\omega_d\ ,\ \omega_{zc} = -\sigma_c j\omega_{dc}$$
$$\omega_{pc} = \omega_{RHPZ} \quad (۱۳)$$

Kc مناسب از روی دیاگرام بود به نحوی انتخاب شده است که در تمام مقادیر بار و ولتاژ ورودی گفته شده در رابطه (۷)، $PM \geq 45^o$ بدست آید.

۳-۲ طراحی کنترل کننده پیشنهادی typeIII+PIDWC

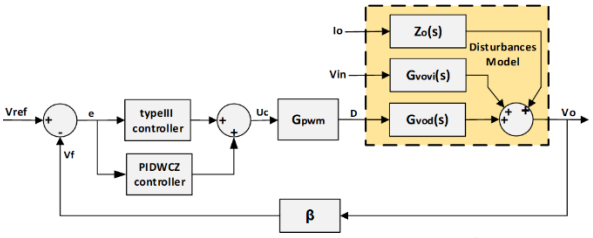
در این قسمت دو کنترل کننده PIDWCZ و typeIII به صورت موازی با یکدیگر ترکیب شده و کنترل کننده حاصل در شکل (۴) نشان داده شده است. هدف از ترکیب موازی این دو کنترل کننده با یکدیگر (typeIII+PIDWCZ) استفاده از خصوصیات خوب ذکر شده برای

[1] Bode Diagram

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

هر یک از آنها می باشد. تابع انتقال کنترل کننده پیشنهادی در رابطه (۱۴) نشان داده شده است.

$$G_{\text{typeIII+PIDWCZ}}(s) = G_{PIDWCZ}(s) + G_{\text{typeIII}}(s) = Kc\frac{(s+\sigma_c)^2+\omega_{dc}^2}{s(s+\omega_{pc})} + k_{\text{typeIII}}\frac{\left(1+\frac{s}{\omega_{zc1}}\right)\left(1+\frac{s}{\omega_{zc2}}\right)}{s\left(1+\frac{s}{\omega_{pc1}}\right)\left(1+\frac{s}{\omega_{pc2}}\right)} \quad (۱۴)$$



شکل (۴)- مبدل بوست با کنترل کننده پیشنهادی typeIII+PIDWCZ

استفاده از روش های کلاسیک جهت طراحی کنترل کننده پیشنهادی بسیار پیچیده می باشد، لذا در اینجا فقط از روش های فراابتکاری جهت انتخاب پارامترهای آن استفاده شده است.

۳- روش بهینه سازی ژنتیک چند هدفه[1]

الگوریتم ژنتیک با رتبه بندی نامغلوب *NSGA-II* یک الگوریتم بهینه سازی فراابتکاری چند هدفه و جایگزین مناسبی برای روش های سنتی حل مسائل بهینه سازی می باشد[۱۴]. الگوریتم ژنتیک از روی مدل زیستی جمعیت جانداران الگو برداری شده است، به طوری که برای بهینه کردن یک یا چند تابع هدف، خصوصیاتی از هر نسل به نسل های بعدی منتقل می شود. در این پژوهش از این الگوریتم جهت پیدا کردن مقادیر بهینه پارامترهای کنترل کننده پیشنهادی $(Kc, Q_c, \omega_{oc}, \omega_{pc}, k_{typeIII}, \omega_{zc1}, \omega_{zc2}, \omega_{pc1}, \omega_{pc2})$ استفاده شده است.

هدف از بهینه سازی مذکور رسیدن به بهترین پاسخ مبدل بوست در حالت های گذرا، ماندگار، زمان راه اندازی ، دنبال کردن ورودی مرجع و تغییرات ایجاد شده در مقاومت بار می باشد. در ادامه محدوده تغییرات در نظر گرفته شده برای پارامترهای کنترل کننده توضیح داده شده و سپس قیود مورد نظر ارائه گردیده است. در نهایت نیز به مهمترین بخش عملیات بهینه سازی یعنی تعریف توابع هدف پرداخته شده است.

۳-۱ بهینه سازی توابع هدف چند منظوره به روش الگوریتم ژنتیک

با توجه به طراحی کنترل کننده های کلاسیک انجام شده در بخش های ۲-۲ و ۲-۳، ابتدا محدوده جستجوی مناسبی برای بدست آوردن پارامترهای بهینه کنترل کننده پیشنهادی انتخاب شده است. این محدوده ، باید به اندازه کافی بزرگ انتخاب شود تا از بهینه بودن پاسخ اطمینان حاصل گردد. ۹ پارامتر مربوط به کنترل کننده های *typeIII* و *PIDWCZ* که بصورت کلاسیک طراحی شده اند، با متغیر برداری $X_{classical}$ در رابطه (۱۵) نشان داده شده اند. همچنین محدوده جستجوی پارامترهای $(X_{Genetic})$کنترل کننده پیشنهادی، مطابق رابطه (۱۶) انتخاب شده اند. در این رابطه، $\propto_{max}$ و $\propto_{min}$ به ترتیب میزان حداکثر و حداقل تغییرات نسبی هریک از پارامترها و محدوده جستجوی پارامترهای کنترل کننده پیشنهادی را تعیین می کنند.

$$X_{classical} = (Kc, Q_c, \omega_{oc}, \omega_{pc}, k_{\text{typeIII}}, \omega_{zc1}, \omega_{zc2}, \omega_{pc1}, \omega_{pc2}) \quad (۱۵)$$

$$X_{\min} = \propto_{min}.X_{classical} \le X_{Genetic} \le X_{max} = \propto_{max}.X_{classical} \quad (۱۶)$$

لحاظ کردن قیود از الزامات عملیات بهینه سازی است. اولین قید در نظر گرفته شده مربوط به حداقل و حداکثر قابل قبول برای پارامترهای مذکور است(مطابق رابطه (۱۶)). قید مهم دیگر حفظ پایداری نسبی سیستم حلقه بسته کنترل شده توسط کنترل کننده پیشنهادی است. از این رو درعملیات بهینه سازی برای هر عضو انتخابی جواب، علاوه بر بررسی محدوده پارامترها ، دیاگرام بود سیستم حلقه باز رسم شده و مقادیر حاشیه فاز و بهره محاسبه می شوند. این مقادیر باید در محدوده قابل قبول طراحی (بطور مثال $PM \ge 45^o$ و $GM \ge 10dB$) قرار بگیرند. از طرفی در صورت تخطی هر عضو از قیود پایداری نسبی، این عضو جریمه خواهد شد.

همانطوری که گفته شد، تعریف مناسب تابع هدف از مهمترین بخش های یک عملیات بهینه سازی است. در این تحقیق تمامی توابع هدف ، بر اساس معیار انتگرال قدر مطلق خطا ،

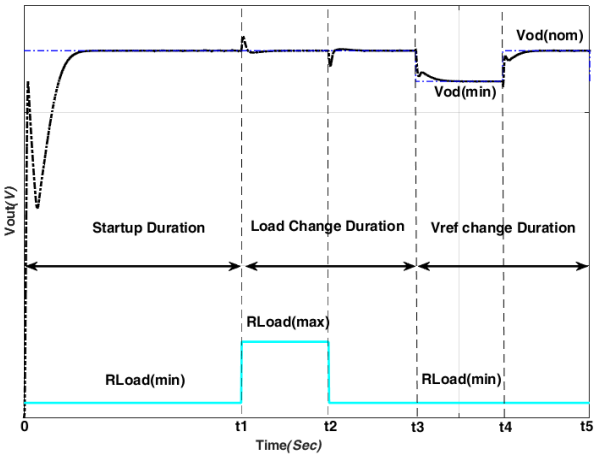
$$IAE = \int_{ti}^{tj} |Vo_d(t) - Vo(t)|dt = \int_{ti}^{tj} |e(t)|dt$$

به حداقل رسانده شده اند. در رابطه IAE ، $Vo_d(t)$ مقدار ولتاژ مطلوب خروجی ، $Vo(t)$ مقدار ولتاژ واقعی خروجی و $ti < t < tj$ بازه زمانی محاسبات می باشند. سه بازه زمانی مربوط به دوره راه اندازی، تغییرات در بار خروجی و تغییرات در ولتاژ مرجع به صورت شکل (۵) نشان داده شده اند . در نهایت مطابق روابط (۱۷)، هدف اصلی مساله، پیدا کردن بردار X به جهت بهینه کردن سه تابع هدف مربوط به زمان راه اندازی $f_{startup}(X)$، تغییر در بار $f_{Load}(X)$ و تغییر در ولتاژ مرجع $f_{Vref}(X)$ و در عین حال بر آورده کردن قیود پایداری می باشد.

[1] Multi objective genetic algorithm optimization

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

$$\begin{cases} Min\ f(X) = Min\left[f_{startup}(X), f_{Load}(X), f_{Vref}(X)\right] \\ X_{min} \le X \le X_{max} \\ Constraint\ 1:\ PM \ge 45^o \\ Constraint\ 2:\ GM \ge 10dB \end{cases} \quad (۱۷)$$



شکل(۵)- بازه های زمانی مورد نیاز برای محاسبه توابع هدف $f_{startup}(X), f_{Load}(X), f_{Vref}(X)$

- **تابع هدف اول، مربوط به زمان شروع به کار مبدل $f_{startup}(X)$:** در شرایط راه اندازی (در بازه زمانی $0 \le t < t1$) یا شروع به کار مبدل، لازم است که ولتاژ خروجی مبدل با حداکثر سرعت و حداقل فراجهش به مقدار نهایی خود برسد. شرایط کارکرد مبدل در جدول (۲) نشان داده شده است.

جدول(۲)- تابع هدف اول، شروع به کار مبدل $f_{startup}(X)$

تابع هدف	$f_{startup}(X) = \int_0^{t1} \lvert e(t) \rvert dt$		
بازه زمانی محاسبات	$0 \le t < t1$		
شرایط کارکرد مبدل	بار خروجی	ولتاژ مطلوب خروجی	ولتاژ ورودی
	$R_{Load}(min)$	$Vo_d(nom)$	$V_{in}(nom)$

- **تابع هدف دوم، مربوط به تغییر بار $f_{Load}(X)$:** در زمان $t2$ بار مبدل از $R_{Load}(min)$ به $R_{Load}(max)$ و در زمان $t3$ بطور معکوس تغییر پیدا می کند. تابع هدف دوم به صورت نشان داده شده در جدول (۳) تعریف شده است.
- **تابع هدف سوم، مربوط به تغییر در ولتاژ مرجع $f_{Vref}(X)$:** ولتاژ مطلوب خروجی در زمان $t3$ از $Vo_d(nom)$ به $Vo_d(min)$ و در زمان $t4$ بطور معکوس تغییر پیدا می کند. لذا برای این تغییرات ولتاژ تابع هدفی به صورت نشان داده شده در جدول (۴)تعریف شده است:

در تمامی مراحل اجرای الگوریتم ژنتیک علاوه بر محاسبه توابع هدف ، مقادیر حد فاز و حد بهره تمامی اعضا به عنوان شاخص پایداری نسبی محاسبه شده و بر اساس آن مقدار برازندگی اعضایی که قیود مربوطه را نقض کرده اند با استفاده از رابطه (۱۸) جریمه می‌شوند.

در نهایت ضرایب کنترل‌کننده $(Kc, Q_c, \omega_{oc}, \omega_{pc}, k_{\text{typeIII}}, \omega_{zc1}, \omega_{zc2}, \omega_{pc1}, \omega_{pc2})$ بگونه‌ای بدست می آیند تا توابع هدف چند منظوره با برآورده کردن قیود به حداقل برسند.

جدول (۳)- تابع هدف دوم ،تغییر بار $f_{Load}(X)$

تابع هدف	$f_{Load}(X) = \int_{t1}^{t3} \lvert e(t) \rvert dt$			
بازه زمانی محاسبات	$t1 \le t < t2$	$t2 \le t < t3$	-------	-------
شرایط کارکرد مبدل	بار خروجی	بار خروجی	ولتاژ مطلوب خروجی	ولتاژ ورودی
	$R_{Load}(max)$	$R_{Load}(min)$	$Vo_d(nom)$	$V_{in}(nom)$

جدول (۴)- تابع هدف سوم، تغییر در ولتاژ مرجع $f_{Vref}(X)$

تابع هدف	$f_{Vref}(X) = \int_{t3}^{t5} \lvert e(t) \rvert dt$			
بازه زمانی محاسبات	$t3 \le t < t4$	$t4 \le t < t5$	-------	-------
شرایط کارکرد مبدل	ولتاژ مطلوب خروجی	ولتاژ مطلوب خروجی	بار خروجی	ولتاژ ورودی
	$Vo_d(mim)$	$Vo_d(nom)$	$R_{Load}(min)$	$V_{in}(nom)$

$$\begin{cases} if\ PM < 45^o\ \ then\ \ Att_{PM} = \left(e^{\left[\frac{ln(100)}{45}(45-PM)\right]}\right) \\ \qquad else\ \ \ Att_{PM} = 1 \end{cases}$$

$$\begin{cases} if\ GM < 10dB\ \ then\ \ Att_{GM} = \left(e^{\left[\frac{ln(100)}{10}(10-GM)\right]}\right) \\ \qquad else\ \ \ Att_{GM} = 1 \end{cases}$$

$$f_{new}(X) = Att_{PM} \times Att_{GM} \times f_{old}(X) \quad (۱۸)$$

لذا در ابتدا تابع هدف $f_{old}(X)$ محاسبه شده و پس از آن مقادیر حد فاز و بهره مربوط به هر عضوء بدست می آید. پس از آن مقادیر ضرایب جریمه تخطی از حدفاز مجاز، Att_{PM} و حد بهره مجاز، Att_{GM} تعیین می‌گردد. ضرایب جریمه اندازه ای مساوی و یا بزرگتر از یک دارند. مطابق رابطه (۱۸) هر چه مقدار تخطی بیشتر باشد، مقدار ضریب جریمه آن نیز بیشتر خواهد شد و اگر عضوی تخطی از قیود را نداشته باشد، جریمه نشده و ضریب جریمه آن یک خواهد شد. در نهایت مقدار تابع هدف اصلاح شده $f_{new}(X)$ که در آن اثر جریمه لحاظ شده

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

محاسبه و مورد استفاده در مراحل بعدی قرار می‌گیرد. به عنوان مثال اگر $PM = 25^o$ و $GM = 12dB$ باشند، مقادیر

$$Att_{GM} = 1 \text{ و } Att_{PM} = \left(e^{\left[\frac{ln(100)}{45}(45-25)\right]}\right) = 12.9$$

بدست آمده و توابع هدف جدید به صورت زیر محاسبه می شوند:

$$f_{new}(X) = Att_{PM} \times Att_{GM} \times f_{old}(X) = 12.9 \times f_{old}(X)$$

به عبارت دیگر نتیجه تضعیف هر جوابی که نقض کننده قیود پایداری نسبی باشد افزایش مقدار تابع هدف است و در صورت افزایش درمقدار توابع هدف احتمال انتخاب شدن پارامترهای کنترل کننده پیشنهادی در این نسل کاهش پیدا می کند.

٤- نتایج شبیه سازی و عملی

در این بخش در ابتدا با توجه به الگوریتم های ارائه شده در بخش های ۱-۲ و ۲-۲ به ترتیب به طراحی کنترل کننده های typeIII و PIDWCZ بصورت کلاسیک پرداخته می شود. سپس با استفاده از الگوریتم ژنتیک و نرم افزارمتلب سیمولینک و بر اساس روابط (۱۷) و (۱۸) و جداول (۲)، (۳) و (۴) مقادیر بهینه ضرایب کنترل کننده پیشنهادی برای مبدل بوست محاسبه شده و نتایج ۲۰ عضو برتر موجود در جبهه پارتو به عنوان پاسخ های بهینه الگوریتم ژنتیک، با پاسخ های کلاسیک مقایسه و مورد ارزیابی قرار گرفته می شود.

۴-۱ محاسبه تابع انتقال حلقه باز مبدل بوست:

با توجه به جدول(۱) و در بدترین شرایط کاری مبدل بوست $V_{in}(min) = 8\,V$ و $R_{Load}(min) = 10\Omega$ تابع انتقال حلقه باز مبدل به قرار زیر بدست می آید :

$$G_{v_od}(s) = G_{d0}\frac{\left(1+\frac{s}{\omega_{Z1}}\right).\left(1-\frac{s}{\omega_{RHPZ}}\right)}{1+\frac{s}{\omega_0.Q}+\frac{s^2}{\omega_0^2}} = 72\frac{\left(1+\frac{s}{500000}\right).\left(1-\frac{s}{11111.11}\right)}{1+\frac{s}{2357\times2.358}+\frac{s^2}{5555449}} \quad (۱۹)$$

$$V_o = \frac{V_{ref}}{\beta} \rightarrow \beta = \frac{5.1}{24} = 0.213\,,\, G_{PWM} = \frac{1}{V_2-V_1} = \frac{1}{3-1} = 0.5$$

$$G_{Loop}(s) = \frac{\tilde{v}_f}{\tilde{u}_c}(s) = G_{PWM} \times \beta \times G_{v_od}(s) = 7.65\frac{\left(1+\frac{s}{500000}\right).\left(1-\frac{s}{11111.11}\right)}{1+\frac{s}{2357\times2.358}+\frac{s^2}{5555449}} \quad (۲۰)$$

۴-۲ محاسبات کنترل کننده کلاسیک typeIII

با انتخاب $\rho = 0.4$ و با توجه به روابط(۱۰) پارامترهای کنترل کننده typeIII محاسبه می شوند. ، تابع انتقال کنترل کننده typeIII در رابطه (۲۱) مشاهده می شود.

$$G_{\text{typeIII}}(s) = \frac{129}{s} \times \frac{(1+\frac{s}{1111})^2}{(1+\frac{s}{111111})^2} \quad (۲۱)$$

۴-۳ محاسبات کنترل کننده PID با صفرهای مختلط

برای شروع طراحی ابتدا قطب های مختلط مبدل بوست در بدترین شرایط کارکرد آن بدست می آیند:

$$P1,2 = -\sigma \pm j\omega_d = -X3 \pm jY3 = -499.8 \pm j2303$$

همچنین با توجه به رابطه (۱۳) ، محل مطلوب صفرهای کنترل کننده و سپس محل قطب کنترل کننده انتخاب می شوند:

$$\sigma_c = 1.2\sigma = 599.76\,\frac{rad}{sec} \;،\; \omega_{dc} = 0.8\omega_d = 1842.4\frac{rad}{sec}$$

$$\omega_{pc} = \omega_{RHPZ} = 11.11\,{}^{Krad}/_{sec}$$

در عین حال برای رسیدن به $PM \geq 45^o$ ، در تمام مقادیر بار و ولتاژ ورودی، $Kc = 0.583$ از روی دیاگرام بود انتخاب شده است ، لذا تابع انتقال کنترل کننده به شکل زیر بدست می آید:

$$G_{\text{PIDWCZ}}(s) = 0.583\frac{(s+599.76)^2+1842.4^2}{s(s+11111.11)} \quad (۲۲)$$

۴-۴ محاسبات کنترل‌کننده پیشنهادی typeIII+PIDWCZ مبتنی بر الگوریتم ژنتیک

برای بدست آوردن پارامترهای کنترل کننده پیشنهادی با استفاده از روش *NSGA-II* در ابتدا تنظیمات مربوط به الگوریتم ژنتیک مطابق مقادیر نشان داده شده در جدول (۵) انجام شده است.

روش محاسبه پارامترهای بهینه کنترل کننده پیشنهادی با استفاده از الگوریتم ژنتیک NSGA-II بصورت زیر انجام می گیرد :

۱- تعیین شرایط کارکرد الگوریتم ژنتیک مطابق با جدول ۵.
۲- بدست آوردن محدوده جستجوی پارامترهای کنترل کننده و قیود مطابق با رابطه ۱۷ با انتخاب $\propto_{max} = 5$ و $\propto_{min} = 0.2$.
۳- انتخاب تصادفی جمعیت اولیه پارامترهای کنترل کننده از روی محدوده جستجوی بدست آمده در مرحله ۲.

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

۴- محاسبه توابع هدف مطابق با جداول ۲ ، ۳ و ۴ بر اساس پارامترهای کنترل کننده در مرحله k ام.

۵- محاسبه قیود (حد فاز و حد بهره) بر اساس پارامترهای کنترل کننده در مرحله k ام.

۶- اعمال جریمه به اعضائی که قیود را نقض کردند، مطابق رابطه ۱۸.

۷- انجام عملیات الگوریتم ژنتیک برای محاسبه کنترل کننده نسل بعد.

۸- افزایش شماره مرحله اجرا برای تولید نسل جدید *(k=k+1)*.

۹- بررسی شرط توقف الگوریتم و برگشتن به مرحله ۴ در صورت عدم برآورده شدن این شرط.

۱۰- بررسی و مقایسه پاسخ های حلقه بسته مبدل بوست به ازای اعضای موجود در جبهه پارتو.

پس از اتمام عملیات بهینه سازی، ۲۰ پاسخ برتر قرار گرفته در جبهه پارتو برای ۳ تابع هدف گفته شده، در شکل (۶) آورده شده است.

مقادیر پارامترهای کنترل کننده های پیشنهادی، بدست آمده از ۲۰ پاسخ برتر الگوریتم ژنتیک در جدول (۶) نشان داده شده است.

در ادامه جهت بررسی عملکرد پاسخ گذرا ، ماندگار و پایداری نسبی مبدل بوست، نتایج شبیه سازی ۲۰ انتخاب برتر جبهه پارتو مربوط به کنترل کننده های

پیشنهادی به همراه پاسخ های مربوط به کنترل کننده های PIDWCZ و typeIII که بصورت کلاسیک طراحی شده اند، در شرایط کاری یکسان مورد ارزیابی قرار گرفته اند.

این نتایج نشان می دهد که خطای حالت ماندگار پاسخ مبدل به ازای تمامی کنترل کننده های پیشنهادی صفر است. ارزیابی پاسخ گذرا بر اساس زمان نشست[1] و در صد فرا جهش[2] در سه بازه زمانی راه اندازی، تغییر بار و تغییر ولتاژ مرجع، مطابق شکل(۵) و ارزیابی پایداری نسبی، بر اساس حد فاز و حد بهره انجام شده است. نتایج این ارزیابی ها در جدول(۷) آورده شده است.

باتوجه به بررسی نتایج شبیه سازی، جواب شماره ۸[3] به عنوان یکی از بهترین پاسخ ها در بین ۲۰ پاسخ جبهه پارتو در نظر گرفته شده و پارامترهای این پاسخ به عنوان پارامترهای کنترل کننده بهینه پیشنهادی حاصل از الگوریتم ژنتیک انتخاب شده است. پاسخ حاصل از کنترل کننده پیشنهادی بهینه و کنترل کننده های کلاسیک در شکل (۷) مشاهده می شود.

در جدول (۸) مشخصات پاسخ گذرای حاصل از کنترل کننده های طراحی شده به روش کلاسیک به همراه پاسخ انتخاب شده از جبهه پارتو یعنی جواب شماره ۸ در بازه های زمانی راه اندازی ، تغییر بار و تغییر ولتاژ مرجع آورده شده است. (استخراج شده از جدول ۷)

جدول (۵)- شرایط کارکرد الگوریتم ژنتیک *NSGA-II*

پارامتر	مقدار
تعداد پارامترهای کنترل کننده	*9*
اندازه جمعیت	*100*
احتمال برش[4]	*0.9*
احتمال جهش	*0.05*
تعداد اعضا جبهه پارتو	*20*
حداکثر تعداد نسل ها	*1000*
احتمال مهاجرت[5]	*0.01*

همچنین در بدترین شرایط کاری مبدل ($V_{in}(V) = 8v$ و $R_{Load}(\Omega) = 10$) دیاگرام بود حلقه باز مبدل به همراه کنترل کننده ها در شکل(۸) نشان داده شده است. دیاگرام دامنه و فاز سیستم به همراه کنترل کننده بهینه پیشنهادی، دارای تغییرات یکنواخت تر و گین بالاتری نسبت به دو کنترل کننده استاندارد typeIII و PIDWCZ در محدوده فرکانس کارکرد مبدل بوست می باشند.

در ضمن دیاگرام دامنه و فاز کنترل کننده پیشنهادی در فرکانس های پایین تر و بالاتر از 2000 rad/s به ترتیب شبیه به کنترل کننده های PIDWCZ و typeIII می باشند. همانطور که از نتایج جدول (۹) و شکل (۸) مشاهده می شود.

، حد فاز برای هر سه کنترل کننده بزرگتر از ۴۵ درجه است اما فقط در دو کنترل کننده پیشنهادی و PIDWCZ حد بهره بالاتر از ده دسیبل می باشد.

بطوریکه از نتایج شبیه سازی و جداول (۸) و (۹) مشاهده می شود، کنترل کننده typeIII ، فقط دارای پاسخ گذرای نسبتا مناسبی در حالت تغییر بارمی باشد و در زمان راه اندازی و تغییر ولتاژ مرجع بسیار کند عمل می کند و بررسی پایداری نسبی آن نشان می دهد که این کنترل کننده دارای پایداری نسبی تقریبا نامناسبی است.

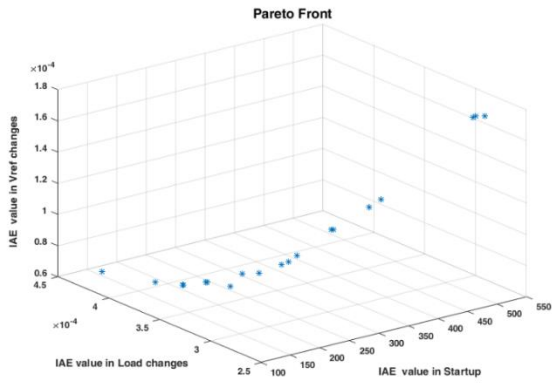
کنترل کننده PIDWCZ ، فقط دارای پاسخ گذرای مناسبی در زمان راه‌اندازی و تغییر ولتاژ مرجع بوده، اما در زمان تغییر بار دارای فراجهش بسیار بزرگتری نسبت به دیگر کنترل کننده ها است و دارای پایداری نسبی مناسبی نیز می باشد کنترل کننده پیشنهادی دارای پاسخ گذرای مناسبی در زمان راه اندازی ، تغییر بار و تغییر ولتاژ مرجع است و پایداری نسبی مناسبی نیز دارد

[1] Settling time (ts)
[2] Percent Maximum Overshoot (MO %)
[3] Solution No. 8
[4] Crossover Rate
[5] Immigration Rate

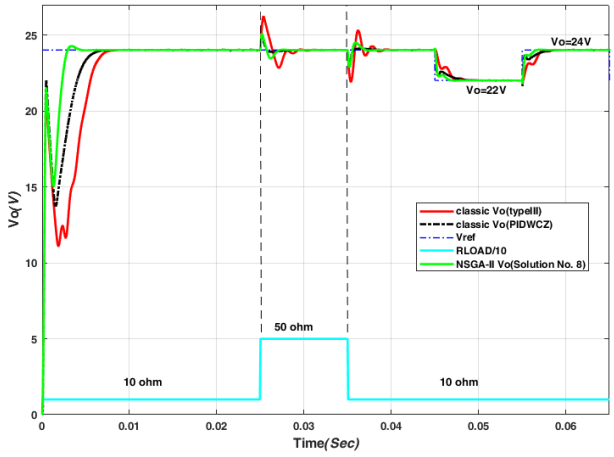
[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

جدول(۶) : مقادیر پارامترهای کنترل کننده پیشنهادی (typeIII+PIDWCZ) بدست آمده از ۲۰ پاسخ برتر الگوریتم ژنتیک.

پارامترهای کنترل کننده *typeIII*					پارامترهای کنترل کننده *PIDWCZ*				توابع هدف *IAE*			شماره جواب در
ω_{zc1}	ω_{zc2}	ω_{pc1}	ω_{pc2}	k_{typeIII}	Kc	σ_c	ω_{dc}	ω_{pc}	$f_{StartUp}(X)$	$f_{Vref}(X)$	$f_{Load}(X)$	جبهه پارتو
1756	909	196397	189605	116	0.24	355	3443	8648	248	94.4×10^{-6}	309×10^{-6}	۱
926	1677	179036	166386	116	0.13	518	2794	8488	527	170×10^{-6}	278×10^{-6}	۲
1756	909	196397	189605	116	0.24	253	3465	8488	241	92.7×10^{-6}	312×10^{-6}	۳
1756	909	179037	166385	110	0.28	253	3778	8648	172	78.3×10^{-6}	346×10^{-6}	۴
1756	909	196397	189605	116	0.24	355	3443	9081	260	97.5×10^{-6}	308×10^{-6}	۵
1756	909	196397	189605	110	0.28	253	2794	8488	307	112×10^{-6}	300×10^{-6}	۶
1756	909	196397	189605	116	0.24	253	3778	9123	218	87×10^{-6}	320×10^{-6}	۷
1756	909	196397	189605	116	0.24	355	3971	8488	187	78.5×10^{-6}	331×10^{-6}	۸
1756	909	179037	166385	110	0.28	253	3465	8488	205	85.3×10^{-6}	329×10^{-6}	۹
1756	909	196397	189605	110	0.28	253	3971	8488	159	73.7×10^{-6}	361×10^{-6}	۱۰
1756	909	196397	189604	110	0.28	253	3972	6239	127	68.5×10^{-6}	422×10^{-6}	۱۱
1756	909	196397	189605	116	0.13	518	2794	8488	513	170×10^{-6}	282×10^{-6}	۱۲
1756	909	196397	189605	110	0.28	253	3971	8488	159	73.7×10^{-6}	361×10^{-6}	۱۳
1756	909	196397	189605	116	0.24	355	2794	9082	367	129×10^{-6}	287×10^{-6}	۱۴
1756	909	196397	166385	110	0.28	253	3778	8648	173	78.3×10^{-6}	346×10^{-6}	۱۵
1757	910	196398	189604	110	0.28	253	3971	6239	127	68.5×10^{-6}	422×10^{-6}	۱۶
1756	909	196397	189605	116	0.24	253	2794	8487	354	125×10^{-6}	291×10^{-6}	۱۷
1756	909	179037	166385	116	0.13	518	2794	8488	519	170×10^{-6}	282×10^{-6}	۱۸
1756	909	196397	189605	116	0.24	253	3971	6239	144	71.9×10^{-6}	380×10^{-6}	۱۹
1756	909	196397	189605	110	0.28	253	2794	8488	309	112×10^{-6}	300×10^{-6}	۲۰



شکل (۶)- نمایش همزمان ۲۰ پاسخ برتر الگوریتم ژنتیک برای ۳ تابع هدف تعریف شده



شکل (۷)- پاسخ حاصل از کنترل کننده های کلاسیک و کنترل کننده بهینه پیشنهادی بر اساس جواب شماره ۸

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

جدول (۷)- نتایج شبیه سازی مشخصات پاسخ گذرا و پایداری نسبی به ازای ۲۰ انتخاب برتر جبهه پارتو، حاصل از الگوریتم ژنتیک برای کنترل کننده پیشنهادی به همراه پاسخ مربوط به کنترل کننده های کلاسیک.

کنترل کننده مورد استفاده	پایداری نسبی		نتایج پاسخ گذرا					
			تغییر ولتاژ مرجع		تغییر بار		راه اندازی	
	$V_{in}=12v$, $R_{Load}=10\Omega$ $V_{od}=24v$		$V_{in}=12v$, $R_{Load}=10\Omega$ & $V_{od}\ change: 22v\ to\ 24v$		$V_{in}=12v, V_{od}=24v$ & $R_{Load}\ change: 10\Omega\ to\ 50\Omega$		$V_{in}=12v$, $V_{od}=24v$ $R_{Load}=10\Omega$	
	$GM(dB)$	$PM(deg)$	$MO\%$	$t_s(ms)$	$MO\%$	$t_s(ms)$	$MO\%$	$t_s(ms)$
جواب شماره ۱	9.99	45.45	0	1.72	4.62	1.63	0.37	3.54
جواب شماره ۲	10.14	46.41	0	3.66	4.79	1.28	0	7.27
جواب شماره ۳	10.01	45.97	0	1.67	4.63	1.65	0.49	3.42
جواب شماره ۴	10.04	46.24	0	2.38	4.71	1.69	2.08	3.35
جواب شماره ۵	9.99	45.77	0	1.79	4.63	1.62	0.30	3.70
جواب شماره ۶	10.18	45.06	0	2.09	4.67	1.61	0	4.28
جواب شماره ۷	9.99	46.68	0	1.55	4.63	1.66	0.63	3.14
جواب شماره ۸	10.15	45.91	0	1.37	4.62	1.67	1.30	2.69
جواب شماره ۹	10.03	45.65	0	1.52	4.71	1.68	1.21	2.97
جواب شماره ۱۰	10.20	46.73	0	2.30	4.67	1.70	3.13	3.33
جواب شماره ۱۱	10.19	44.71	0.80	2.21	4.63	1.72	7.44	3.07
جواب شماره ۱۲	10.41	46.41	0	3.63	4.79	1.39	0	7.25
جواب شماره ۱۳	10.19	46.73	0	2.30	4.67	1.70	3.13	3.33
جواب شماره ۱۴	9.98	45.23	0	2.51	4.63	1.50	0.27	5.16
جواب شماره ۱۵	10.10	46.37	0	2.36	4.69	1.70	2.08	3.34
جواب شماره ۱۶	10.21	44.72	0.80	2.21	4.63	1.72	7.45	3.07
جواب شماره ۱۷	9.98	45.21	0	2.36	4.63	1.53	0	4.88
جواب شماره ۱۸	10.31	46.09	0	3.66	4.83	1.30	0	7.27
جواب شماره ۱۹	10.02	44.86	0	2.35	4.59	1.71	5.31	3.31
جواب شماره ۲۰	10.16	45.03	0	2.09	4.67	1.61	0	4.28
کلاسیک typeIII	10.62	56.6	0	7.02	4.31	2.62	0	6.64
کلاسیک PIDWCZ	17.51	60.48	0	3.10	9.36	2.78	0	5.30

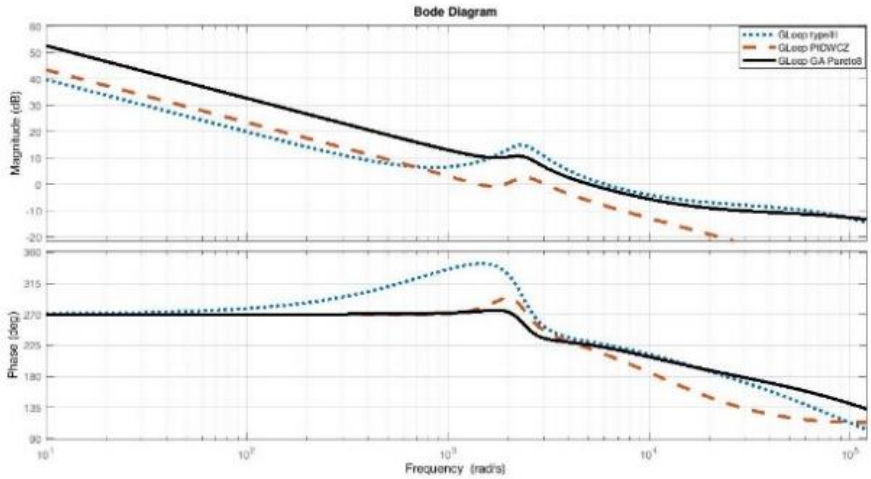
جدول (۸) – نتایج شبیه سازی پاسخ گذرای کنترل کننده های کلاسیک و کنترل کننده بهینه پیشنهادی بر اساس جواب شماره ۸

کنترل کننده مورد استفاده	$MO\%$				$t_s(ms)$			
	تغییر ولتاژ ورودی	تغییر ولتاژ مرجع	تغییر بار	راه اندازی	تغییر ولتاژ ورودی	تغییر ولتاژ مرجع	تغییر بار	راه اندازی
کلاسیک typeIII	7.1	0	4.31	0	10.5	7.02	2.62	6.64
کلاسیک PIDWCZ	13.3	0	9.36	0	4.5	3.1	2.78	5.30
بهینه پیشنهادی - جواب شماره ۸	7.5	0	4.62	1.3	1.75	1.37	1.67	2.69

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

جدول (۹)- مقادیر حد فاز و حد بهره در شرایط کارکرد تغییرات بار $10 < R_{Load}(\Omega) < 50$ و ولتاژ ورودی $8 < V_{in}(V) < 14$

کنترل کننده مورد استفاده	PM(max)	PM(min)	GM(max)	GM(min)
کلاسیکtypeIII	69.18°	46.15°	23.11 dB	7.43 dB
کلاسیکPIDWCZ	63.46°	58.18°	35.88 dB	13.85 dB
بهینه پیشنهادی- جواب شماره ۸	65.99°	45.91°	27.02 dB	10.15 dB



شکل (۸)- دیاگرام بود کنترل کننده های typeIII، PIDWCZ و کنترل کننده پیشنهادی (جواب شماره ۸)

۴-۵ بررسی عملکرد مقاوم[1] مبدل با کنترل کننده پیشنهادی

جهت بررسی عملکرد مقاوم مبدل بوست با کنترل کننده پیشنهادی ، به میزان $\pm 20\%$ در مقادیر نامی سلف ($L_n = 100\mu H$) و خازن ($C_n = 200\mu f$) تغییرایجاد می کنیم. سپس اثر این تغییرات را در چهار بازه، زمان راه اندازی ، تغییر بار از ۱۰ اهم به ۵۰ اهم، تغییر ولتاژ ورودی از ۱۲ به ۱۴ ولت و تغییر ولتاژ خروجی از ۲۲ به ۲۴ ولت بر روی پاسخ گذرا و ماندگار ولتاژ خروجی مبدل بدست می آوریم. با محاسبه میانگین [2] و انحراف معیار [3] در فراجهش و زمان نشست پاسخ های سیستم عملکرد مقاوم آن را مورد ارزیابی قرار می دهیم. نتایج این بررسی ها در جداول (۱۰) الی (۱۳) آورده شده است که نشان دهنده عملکرد مقاوم کنترل کننده بهینه پیشنهادی طراحی شده با استفاده از جواب شماره ۸ در جبهه پارتو می باشد. خطای حالت ماندگار نیز در تمامی شرایط برابر با صفر است.

۴-۶ تحقق کنترل کننده ها و نتایج عملی

تمامی کنترل کننده های طراحی شده در حوزه آنالوگ ، با استفاده از تبدیل نگه دارنده مرتبه صفر(ZOH[4]) و مطابق رابطه (۲۳)، به فرم دیجیتال خود تبدیل شده اند.

$$Gc(z) = (1 - z^{-1})\mathrm{Z}\left\{\frac{Gc(s)}{s}\right\} \ \ and \ \ T = 5\mu s \qquad (۲۳)$$

در رابطه فوق T زمان نمونه برداری کنترل کننده و مبدل های آنالوگ به دیجیتال (ADC[5]) و دیجیتال به آنالوگ(DAC[6]) می باشد. ساختار تابع انتقال کنترل کننده دیجیتال و معادله زمان گسسته آن در حالت کلی به فرم روابط (۲۴) و (۲۵) می باشند.

$$G_c(z) = \frac{U_C}{E}(z) = \frac{B_3 z^{-3} + B_2 z^{-2} + B_1 z^{-1} + B_0}{-A_3 z^{-3} - A_2 z^{-2} - A_1 z^{-1} + 1} \qquad (۲۴)$$

$$U_C(n) = A_1 U_C(n-1) + A_2 U_C(n-2) + A_3 U_C(n-3) + B_0 E(n) + B_1 E(n-1) + B_2 E(n-2) + B_3 E(n-3) \qquad (۲۵)$$

[1] Robust
[2] mean
[3] Standard deviation (σ)
[4] Zero Order Holder (ZOH)
[5] Analog to Digital Converter
[6] Digital to Analog Converter

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

با توجه به ضرایب کنترل کننده های آنالوگ طراحی شده (روابط (۲۱)، (۲۲) و جدول (۸)) ضرایب کنترل کننده های دیجیتال محاسبه شده در جدول (۱۴) نشان داده شده اند.

جدول (۱۰) – بررسی عملکرد مقاوم، کنترل کننده پیشنهادی در زمان startup و در شرایط نامی کارکرد مدار ($R_{Load} = 10\Omega , V_{in} = 12V , V_{od} = 24V$)

مقادیر پارامترهای سلف و خازن		$MO\%$	$mean(MO\%)$	$\sigma(MO\%)$	$t_s(ms)$	$mean(t_s)$	$\sigma(t_s)$
$C = C_n$	$L = L_n$	1.37	1.39	0.107	2.69	2.68	0.057
$C = C_n$	$L = L_n + 0.2L_n$	1.50			2.63		
$C = C_n$	$L = L_n - 0.2L_n$	1.25			2.75		
$C = C_n + 0.2C_n$	$L = L_n$	1.37			2.68		
$C = C_n + 0.2C_n$	$L = L_n + 0.2L_n$	1.54			2.58		
$C = C_n + 0.2C_n$	$L = L_n - 0.2L_n$	1.25			2.75		
$C = C_n - 0.2C_n$	$L = L_n$	1.42			2.68		
$C = C_n - 0.2C_n$	$L = L_n + 0.2L_n$	1.50			2.64		
$C = C_n - 0.2C_n$	$L = L_n - 0.2L_n$	1.33			2.73		

جدول (۱۱) – بررسی عملکرد مقاوم، کنترل کننده پیشنهادی در زمان تغییر بار از ۱۰ اهم به ۵۰ اهم و شرایط نامی کارکرد مدار($V_{in} = 12V , V_{od} = 24V$)

مقادیر پارامترهای سلف و خازن		$MO\%$	$mean(MO\%)$	$\sigma(MO\%)$	$t_s(ms)$	$mean(t_s)$	$\sigma(t_s)$
$C = C_n$	$L = L_n$	4.62	4.63	0.631	1.36	1.60	0.28
$C = C_n$	$L = L_n + 0.2L_n$	5.25			1.85		
$C = C_n$	$L = L_n - 0.2L_n$	3.96			1.44		
$C = C_n + 0.2C_n$	$L = L_n$	4.33			1.83		
$C = C_n + 0.2C_n$	$L = L_n + 0.2L_n$	4.92			2.03		
$C = C_n + 0.2C_n$	$L = L_n - 0.2L_n$	3.71			1.59		
$C = C_n - 0.2C_n$	$L = L_n$	4.96			1.52		
$C = C_n - 0.2C_n$	$L = L_n + 0.2L_n$	5.67			1.68		
$C = C_n - 0.2C_n$	$L = L_n - 0.2L_n$	4.25			1.13		

جدول (۱۲) – بررسی عملکرد مقاوم، کنترل کننده پیشنهادی در زمان تغییر ولتاژ ورودی از ۱۲ به ۱۴ ولت و شرایط نامی کارکرد مدار

مقادیر پارامترهای سلف و خازن		$MO\%$	$mean(MO\%)$	$\sigma(MO\%)$	$t_s(ms)$	$mean(t_s)$	$\sigma(t_s)$
$C = C_n$	$L = L_n$	7.37	7.32	0.37	1.46	1.46	0.054
$C = C_n$	$L = L_n + 0.2L_n$	7.62			1.42		
$C = C_n$	$L = L_n - 0.2L_n$	7.04			1.50		
$C = C_n + 0.2C_n$	$L = L_n$	7.62			1.41		
$C = C_n + 0.2C_n$	$L = L_n + 0.2L_n$	7.92			1.36		
$C = C_n + 0.2C_n$	$L = L_n - 0.2L_n$	7.29			1.47		
$C = C_n - 0.2C_n$	$L = L_n$	7.00			1.51		
$C = C_n - 0.2C_n$	$L = L_n + 0.2L_n$	7.29			1.48		
$C = C_n - 0.2C_n$	$L = L_n - 0.2L_n$	6.71			1.53		

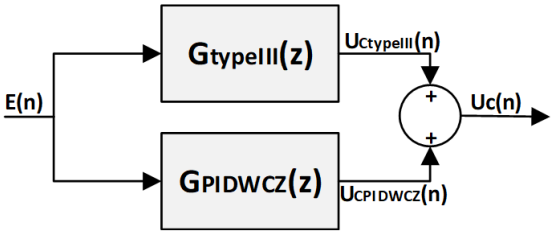
جدول (۱۳) – بررسی عملکرد مقاوم، کنترل کننده پیشنهادی در زمان تغییر ولتاژ خروجی از ۲۲ به ۲۴ ولت و شرایط نامی کارکرد مدار

مقادیر پارامترهای سلف و خازن		$MO\%$	$mean(MO\%)$	$\sigma(MO\%)$	$t_s(ms)$	$mean(t_s)$	$\sigma(t_s)$
$C = C_n$	$L = L_n$	0.42	0.42	0	1.37	1.39	0.059
$C = C_n$	$L = L_n + 0.2L_n$	0.42			1.41		
$C = C_n$	$L = L_n - 0.2L_n$	0.42			1.37		
$C = C_n + 0.2C_n$	$L = L_n$	0.42			1.44		
$C = C_n + 0.2C_n$	$L = L_n + 0.2L_n$	0.42			1.53		
$C = C_n + 0.2C_n$	$L = L_n - 0.2L_n$	0.42			1.39		
$C = C_n - 0.2C_n$	$L = L_n$	0.42			1.35		
$C = C_n - 0.2C_n$	$L = L_n + 0.2L_n$	0.42			1.34		
$C = C_n - 0.2C_n$	$L = L_n - 0.2L_n$	0.42			1.36		

جدول (۱۴) – ضرایب کنترل کننده های دیجیتال

B_0	B_1	B_2	B_3	A_1	A_2	A_3	کنترل کننده دیجیتال	
0	3.726	-7.411	3.684	2.148	-1.477	0.3292	typeIII	کلاسیک
0	5.204	-10.33	5.13	1.762	-0.9072	0.1451	typeIII	پیشنهادی
0.24	-0.4791	0.2392	0	1.958	-0.9584	0	PIDWCZ	

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]



شکل (۹) – نحوه محاسبه سیگنال کنترل

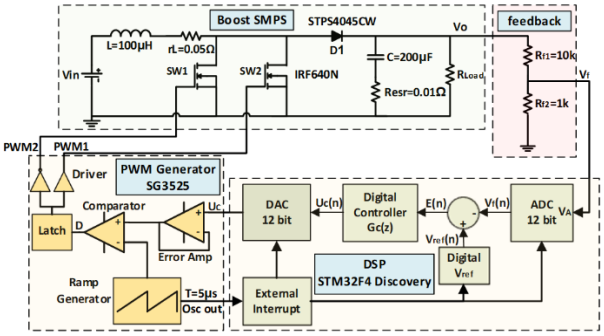
لازم به توضیح است که خروجی کنترل کننده پیشنهادی از حاصل جمع خروجی کنترل کننده های typeIII و PIDWCZ حاصل می شود. این ساختار در شکل (۹) نشان داده شده است.

شماتیک کلی سخت افزار سیستم، در شکل (۱۰) نشان داده شده است.

مشخصات سخت افزار مورد استفاده در جدول (۱۵) نشان داده شده است.

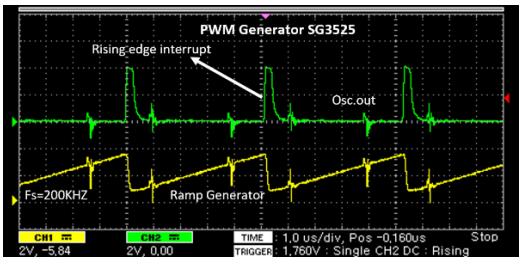
بخش های مختلف سخت افزار به شرح زیر می باشد:

- **مبدل بوست:** که بخش قدرت سیستم را تشکیل می دهد. مشخصات مبدل بوست در جدول (۱) داده شده است.
- **بخش فیدبک:** که وظیفه آن نمونه گیری از ولتاژ خروجی مبدل بوست (بین $0 < Vo < 33V$) و تبدیل آن به ولتاژ مورد نیاز ADC یعنی $0 < Vf < 3V$ میباشد



شکل (۱۰)– ساختار سخت افزار استفاده شده برای کنترل مبدل بوست

بخش مولد موج PWM، از یک آی سی به نام SG3525 در این بخش استفاده شده است. با تنظیم پارامترهای موجود در این آی سی یک موج دندانه اره ای با زمان تناوب $T = T_S = 5\mu s$ و دامنه ولتاژ بین $V_1 = 1V$ و $V_2 = 3V$ و یک سیگنال پالس Osc.out تولید می شود(شکل (۱۱)). با مقایسه بین ولتاژ آنالوگ گرفته شده از DAC برد DSP و موج دندانه اره ای، دو سیگنال PWM1 و PWM2 ، جهت اعمال به کلیدهای ماسفت ایجاد شده است. سیگنال Osc.out جهت ایجاد همزمانی محاسبات کنترل دیجیتال با فرکانس سوئیچینگ به ورودی وقفه خارجی برد DSP اعمال شده است. در بخش اجرای الگوریتم کنترل کننده از یک DSP، ۳۲ بیتی به نام STM32F407VGT6 که بر روی بردی به نام STM32F4 DISCOVERY قرار گرفته، استفاده شده است. الگوریتم کنترلی بر اساس یک تقاضای وقفه خارجی که هر 5μs یکبار توسط آی سی SG3525 در خواست می شود، اجرا می گردد.



شکل (۱۱)– سیگنال Osc.out و موج دندانه اره ای، تولید شده توسط SG3525

جدول (۱۵)– مشخصات سخت افزار مورد استفاده

علامت	مقدار
زمان تبدیل و رزولوشن ADC	12 bit/0.41μs
زمان تبدیل و رزولوشن DAC	12 bit/0.1μs
زمان نمونه برداری T	5μs
مولد PWM	SG3525
ولتاژ مرجع مولد PWM: $V_{ref}(V)$	5.1V
$V_{ramp}(max) = V_2$	3V
$V_{ramp}(min) = V_1$	1V
ماسفت	IRF640N
دیود	STPS4045CW
DSP	STM32F4 Discovery

مراحل انجام شده در الگوریتم کنترل به شرح زیر می باشد:

۱- قبول تقاضای وقفه (مدت زمان لازم $T_{int} = 0.1\mu s$)

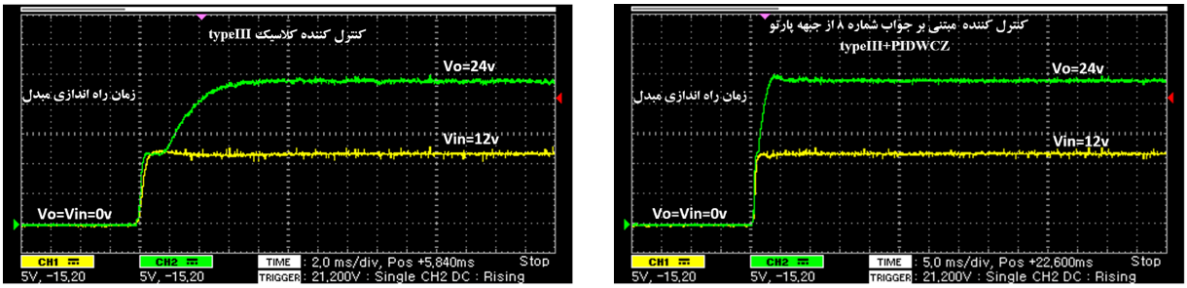
۲- خواندن ولتاژ خروجی از طریق ADC (مدت زمان لازم برای تبدیل $T_{ADC} = 0.41\mu s$)

۳- محاسبه سیگنال خطا و سیگنال کنترل (مدت زمان لازم برای محاسبات $T_{calc} = 1\mu s$)

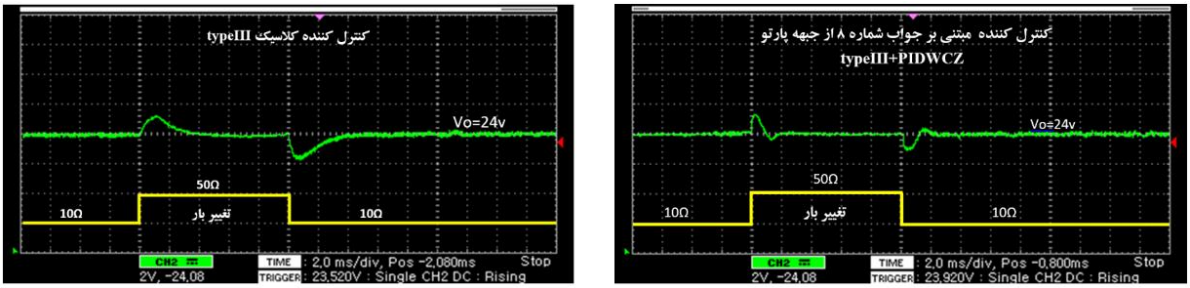
٤- نوشتن در DAC (مدت زمان لازم برای تبدیل $T_{DAC} = 0.1\mu s$)

زمان لازم برای یکبار اجرای الگوریتم کنترل $T_{total} = T_{ADC}+T_{DAC}+T_{calc}+T_{int} = 1.61\mu s$ می باشد. در شکل های (۱۲) ، (۱۳) ، (۱۴) و (۱۵) به ترتیب شکل موج های مربوط به پاسخ عملی مبدل بوست با کنترل کننده پیشنهادی و کنترل کننده typeIII در شرایط راه اندازی ، تغییر بار، تغییر ولتاژ مرجع و تغییر ولتاژ ورودی نشان داده شده است.

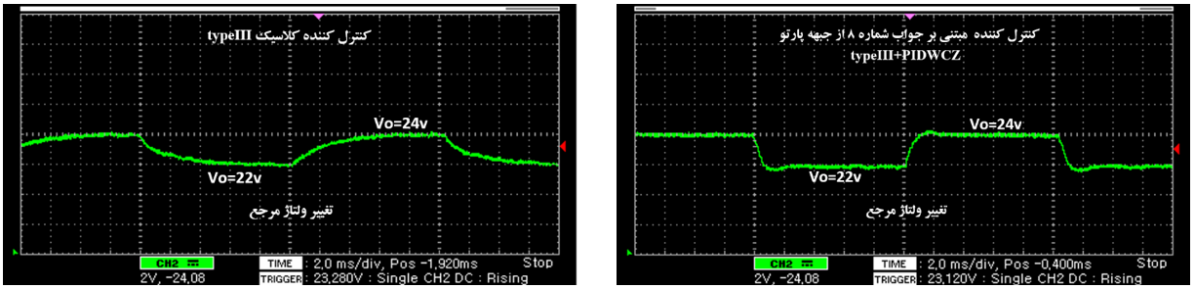
[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]



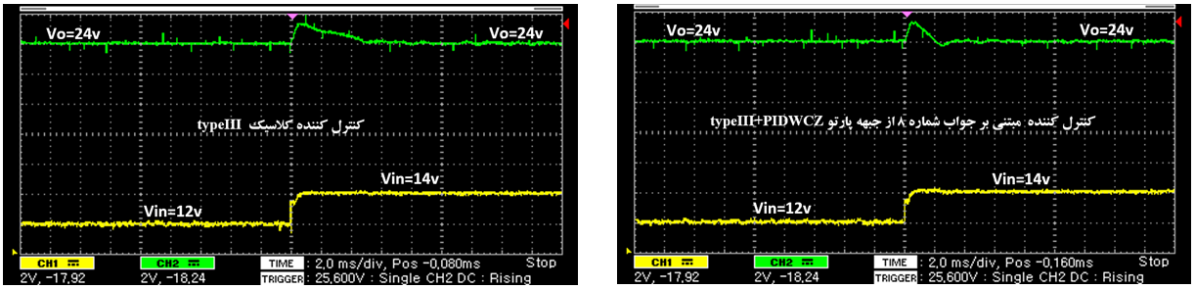
شکل (۱۲)- پاسخ عملی مبدل بوست در شرایط راه اندازی مربوط به کنترل کننده کلاسیک typeIII و کنترل کننده بهینه مبتنی بر جواب شماره ۸ از جبهه پاراتو typeIII+PIDWCZ



شکل (۱۳)- پاسخ عملی مبدل بوست در شرایط تغییر بار مربوط به کنترل کننده کلاسیک typeIII و کنترل کننده بهینه مبتنی بر جواب شماره ۸ از جبهه پاراتو typeIII+PIDWCZ



شکل (۱۴)- پاسخ عملی مبدل بوست در شرایط تغییر ولتاژ مرجع مربوط به کنترل کننده کلاسیک typeIII و کنترل کننده بهینه مبتنی بر جواب شماره ۸ از جبهه پاراتو typeIII+PIDWCZ



شکل (۱۵)- پاسخ عملی مبدل بوست در شرایط تغییر ولتاژ ورودی مربوط به کنترل کننده کلاسیک typeIII و کنترل کننده بهینه مبتنی بر جواب شماره ۸ از جبهه پاراتو typeIII+PIDWCZ

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

جدول (۱۶) –مشخصات پاسخ گذرای حاصل از پاسخ عملی کنترل کننده پیشنهادی و typeIII

کنترل کننده	$MO\%$				$t_s(ms)$			
	تغییر ولتاژ ورودی	تغییر ولتاژ مرجع	تغییر بار	راه اندازی	تغییر ولتاژ ورودی	تغییر ولتاژ مرجع	تغییر بار	راه اندازی
پیشنهادی	5.41	0.15	5.14	1.65	2.5	1.20	1.75	2.95
typeIII	5.41	0	5.0	0	5.0	6.2	3.2	7.0

جدول (۱۶) مشخصات پاسخ گذرای حاصل از پاسخ عملی کنترل کننده بهینه پیشنهادی و typeIII را نشان می دهد.در موقع راه اندازی مبدل بوست، همانطور که در شکل(۱۲) و جدول (۱۶) مشاهده می شود ولتاژ خروجی مبدل بوست، با کنترل کننده typeIII نسبت به کنترل کننده پیشنهادی کندتر بوده و زمان نشست کنترل کننده typeIII ، 2.37 برابر بیشتر از کنترل کننده پیشنهادی است . میزان فراجهش کنترل کننده پیشنهادی برابر 1.65 درصد و کنترل کننده های typeIII نیز 0 درصد می باشد که عملکرد تقریبا یکسانی را نشان می دهند.

وقتی که ولتاژ ورودی، برابر ولتاژ نامی ۱۲ ولت است، جهت بررسی عملکرد کنترل کننده ها در موقع تغییر بار (مطابق شکل (۱۳))، مقاومت بار از ۱۰ اهم به ۵۰ اهم و بالعکس تغییر داده شده است. همانطور که در جدول (۱۶) مشاهده می شود ولتاژ خروجی مبدل بوست، با کنترل کننده typeIII نسبت به کنترل کننده پیشنهادی کندتر عمل کرده و زمان نشست کنترل کننده typeIII ، 1.83 برابر بیشتر از کنترل کننده پیشنهادی است و میزان فراجهش کنترل کننده پیشنهادی برابر 5.14 درصد و کنترل کننده های typeIII نیز 5.0 درصد می باشد که عملکرد تقریبا یکسانی را نشان می دهند.

شکل (۱۴) اثر تغییرات پله ای ولتاژ مرجع را بر روی ولتاژ خروجی نشان می دهد. همانطور که در جدول (۱۶) مشاهده می شود ولتاژ خروجی مبدل بوست، با کنترل کننده typeIII نسبت به کنترل کننده پیشنهادی بسیار کندتر عمل کرده و زمان نشست کنترل کننده typeIII، 5.17 برابر بیشتر از کنترل کننده پیشنهادی است و میزان فراجهش کنترل کننده پیشنهادی برابر 0.15 درصد و کنترل کننده typeIII نیز 0 درصد می باشد که عملکرد تقریبا یکسانی را نشان می دهند.

جهت بررسی عملکرد کنترل کننده ها در موقع تغییر ولتاژ ورودی (مطابق شکل (۱۵))، ولتاژ ورودی از ۱۲ ولت به ۱۴ ولت تغییر داده شده است همانطور که در جدول (۱۶) مشاهده می شود ولتاژ خروجی مبدل بوست، با کنترل کننده typeIII نسبت به کنترل کننده بهینه شده پیشنهادی کندتر عمل کرده و زمان نشست آن نصف کنترل کننده typeIII است و میزان فراجهش حاصل در ولتاژ خروجی برای هر دو کنترل کننده یکسان می باشد.

بررسی نتایج عملی فوق نشان می دهند که کنترل کننده پیشنهادی بهینه شده عملکرد بسیار سریعتری نسبت به کنترل کننده typeIII کلاسیک دارد اما از لحاظ فراجهش عملکرد هر دو کنترل کننده تقریبا یکسان و بسیار مطلوب می باشد.

۵- نتیجه گیری کلی

در این تحقیق، کنترل کننده بهینه ای برای یک مبدل بوست که در حالت هدایت پیوسته و کنترل ولتاژ کار می کند، معرفی شد. کنترل کننده پیشنهادی دارای ساختاری موازی و متشکل از دو کنترل کننده typeIII وPIDWCZ می باشد. برای تنظیم پارامترهای کنترل کننده پیشنهادی از یک روش بهینه سازی چند هدفه هوشمند (NSGA-II) استفاده شده است. اهداف در نظر گرفته شده در بهینه سازی عبارتند از پاسخ مناسب در زمان های راه اندازی، تغییر ولتاژ مرجع و حذف اغتشاش حاصل از تغییر بار که با در نظر گرفتن قید پایداری نسبی قابل قبول برآورده شدند. پس از عملیات بهینه سازی از ۲۰ پاسخ برتر (جبهه پارتو) مرتبط با پارامترهای کنترل کننده پیشنهادی یکی از آنها انتخاب و به کمک شبیه سازی با دو کنترل کننده مستقل typeIIIو PIDWCZ که به صورت کلاسیک طراحی شده بودند، مقایسه شد. همچنین کنترل کننده پیشنهادی بهینه شده و کنترل کننده typeIII به صورت دیجیتال (با استفاده از برد DSP STM32F4 DISCOVERY و در فرکانس سوئیچینگ و نمونه برداری ۲۰۰ کیلو هرتز) تحقق یافته و با یکدیگر مقایسه شدند. نتایج حاصل از شبیه سازی و تحقق عملی انجام شده نشان می‌دهند که کنترل کننده پیشنهادی در زمان راه اندازی ، تغییر بار ، تغییر ولتاژ ورودی و تغییر ولتاژ مرجع از پاسخ گذرای سریعتری نسبت به کنترل کننده کلاسیکtypeIII برخوردار بوده و بر خلاف آن هیچگاه قید پایداری نسبی را نیز نقض نکرده است.

۶- قدردانی و تشکر

این کار در قالب یک طرح پژوهشی به نام " طراحی بهینه منبع تغذیه سوییچینگ با استفاده از روش های هوشمند " و با حمایت مالی دانشگاه آزاد اسلامی واحد کرج به انجام رسیده است

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]

مراجع

[1] E. Santi, A. Monti, D. Li, K. Proddutur, R.A. Dougal, Nov.-Dec. 2003 ,"Synergetic Control for DC–DC boost Converter: Implementation Options", IEEE Transactions on Industry Applications, Vol.39, Issue 6, Pages 1803-1813.

[2] A. Ghosh, S. Banerjee, M. K. Sarkar, and P. Dutta, 2016, "Design and implementation of Type-II and Type-III Controller for DC–DC switched mode boost converter by using K-factor approach and optimization techniques," IET Power Electronics, Vol. 9, No. 5, Pages. 938–950.

[3] Shuibao Guo, Xuefang Lin-Shi, Bruno Allard, Yanxia Gao, and Yi RuanDigital, MAY 2010 "Digital Sliding-Mode controller for High-Frequency DC/DC SMPS", IEEE Transactions on Power Electronics, Vol.25, No. 5, Pages 1120-1123.

[4] Uros Sadek, Andrej Sarjaš, Rajko Svečko, Amor Chowdhury, 2015, "FPGA-based control of a DC-DC boost Converter", IFAC-PapersOnLine– Elsevier Vol.48, Issue 10, Pages 22-27.

[5] Subrata Banerjee, Senior Member, IEEE, Arnab Ghosh, Student Member, IEEE, and Niraj Rana, MARCH 2017, "An Improved Interleaved boost Converter With PSO-Based Optimal Type-III controller", IEEE Journal of Emerging And Selected Topics In Power Electronics, Vol.5, No.1, Pages 323-337.

[6] Uroš Sadek , Andrej Sarjaš , Amor Chowdhury , Rajko Svečko, October 2016, "FPGA-based optimal robust minimal-order controller structure of a DC–DC converter with Pareto front solution", Control Engineering Practice Vol.55, Pages 149-161.

[7] Nechadi, MN Harmas, N Essounbouli, A Hamzaoui, 2016, "Optimal Synergetic Control based Bat Algorithm for DC-DC boost Converter", IFAC-PapersOnLine– Elsevier 49-12 Pages 698-703.

[8] A. R. Oliva, S. S. Ang, and G. E. Bortolotto, Jan. 2006, "Digital control of a voltage mode synchronous buck converter," IEEE Transactions on Power Electronics, Vol.21, No.1, Pages 157–163.

[9] UCD3138, 2011, "Control Theory", Texas Instrument, Application note Book.

[10] T. H. Hsia, H. Y. Tsai, Y. Z. Lin, Dan. Chen and W. H. Chang, Sep. 2007, "Digital Compensation of a High-Frequency Voltage Mode DC-DC Converter," In Power Electronic and Applications, European Conference. Page 1-8.

[11] C.P. Basso, 2008, "Switch-Mode Power Supplies Spice Simulations and Practical Designs", McGraw-Hill, Book.

[12] J.B.L. Fermeiro, J.A.N. Pombo, M.R.A. Calado, S.J.P.S. Mariano, 2017, "A new controller for DC-DC converters based on particle swarm optimization", Applied Soft Computing Vol.52, Elsevier, Pages 418–434.

[13] Rong-Jong Wai, Senior Member, IEEE, and Li-Chung Shih, APRIL 2012, "Adaptive Fuzzy-Neural-Network Design for Voltage Tracking Control of a DC–DC boost Converter", IEEE Transactions on Power Electronics,Vol. 27, No. 4, Pages 2104-2115.

[14] Deb, K., Pratap, A., Agarwal, S., & Meyarivan, 2002, "A fast and elitist multi objective genetic algorithm: NSGA-II", Evolutionary Computation, IEEE Transactions on, Vol.6 Issue.2, Pages182-197.

[Downloaded from joc-isice.ir on 2025-12-29]
[DOR: 20.1001.1.20088345.1398.13.1.7.8]
[DOI: 10.29252/joc.13.1.57]